

TSR1000 シリーズ 汎用評価ボード
TSR1000M / TSR1000A
ハードウェア・マニュアル

2009/2 第1版
テセラ・テクノロジー株式会社

注意事項

- 本資料の内容は予告無く変更することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因するお客様または第三者に生じた損害に関し、当社は一切その責を負いません。

目 次

1) TSR1000 シリーズ 汎用評価ボード	3
1.1) 特徴.....	3
1.2) 添付品一覧.....	3
2) TSR1000M ボード(親基板).....	4
2.1) 仕様概要	4
2.2) 機能ブロック図.....	5
2.3) 部品配置図.....	6
2.3.1) 主要デバイス.....	6
2.3.2) コネクタ	7
2.3.3) ジャンパー	8
2.3.4) その他の部品.....	9
2.4) 部品詳細	10
2.4.1) CN_TOP(U4) 子基板接続用コネクタ	10
2.4.2) CN_BOTTOM(U12) 子基板接続用コネクタ	11
2.4.3) CN_LEFT(U3) 子基板接続用コネクタ	12
2.4.4) CN_RIGHT(U11) 子基板接続用コネクタ	13
2.4.5) CN_AD/DA(U19) 汎用入出力コネクタ	14
2.4.6) JP_DVI_SEL(J10) SiI164 デバイス信号切り離し.....	15
2.4.7) JP_DVI_DDC(J13) DVI-D 端子 DDC 関連の信号クランプ	16
2.4.8) JP_SII_OPTION(J14) SiI164 デバイス設定	17
2.4.9) JP_AD/DA_SEL(J9) 汎用拡張コネクタ切り離し.....	18
2.4.10) JP_FPGA_OPTION(J5) 子基板への接続信号	19
2.4.11) JP_FLASH1_ADD(J3) FLASH1 のアドレス線切り離し	20
2.4.12) JP_FLASH1_WEX(J1) FLASH1 のライトイネーブル切り離し	21
2.4.13) JP_FLASH2_WEX(J2) FLASH2 のライトイネーブル切り離し	22
2.4.14) JP_FLASH2_VPP(J4) FLASH2 のライト用電源設定.....	23
2.4.15) JP_SIPEX_SEL(J8) UART と SP3242 間を切り離し	24
2.4.16) JP_FTDI_SEL(J7) UART と FT232BM 間を切り離し	25
2.4.17) JP_UART_SEL(J6) UART 「クロス、ストレート」切り替え	26
2.4.18) JP_FTDI_DCD/RI(J12) FT232BM 使用時、DCD、RI 信号クランプ	27
2.4.19) JP_VCORE_ADJ(J11) 子基板への CORE 電圧設定	28

3) TSR1000A ボード(子基板).....	29
3.1) 仕様概要	29
3.2) 機能ブロック図.....	30
3.3) 部品配置図.....	31
3.3.1) 主要デバイス.....	31
3.3.2) コネクタ	32
3.3.3) その他の部品.....	33
3.4) 部品詳細	34
3.4.1) CN_BLAZER コンフィグ ROM 書き込み用コネクタ.....	34
3.4.2) CN_JTAG FPGA デバイス用 JTAG コネクタ.....	34
3.4.3) CN_TOP 親基板接続用コネクタ	35
3.4.4) CN_BOTTOM 親基板接続用コネクタ	36
3.4.5) CN_LEFT 親基板接続用コネクタ	37
3.4.6) CN_RIGHT 親基板接続用コネクタ	38
4) 付録資料.....	39
4.1) TSR1000M ボード 回路図(総ページ数:4).....	39
4.2) TSR1000M ボード 寸法図.....	43
4.3) TSR1000A ボード 回路図(総ページ数:1)	44
4.4) TSR1000A ボード 寸法図.....	45

1) TSR1000 シリーズ 汎用評価ボード

下記に TSR1000 シリーズ汎用評価ボードの特徴について記述します。

次章では TSR1000M 及び TSR1000A ボードのハードウェア仕様について記述します。

1.1) 特徴

特徴は以下の通りです。

「**親基板**」及び「**子基板**」の組み合わせで動作する汎用評価ボードです。

「**親基板**」には、電源、ビデオ、MAC/PHY、USBtoUART ブリッジ、FlashMemory、SDRAM などの基本デバイスを搭載しています。

詳細は、2)章「TSR1000M ボード(親基板)」を参照下さい。

「**子基板**」にはFPGA デバイスを搭載しておりユーザー回路を自由にインプリメントする事ができます。又、ユーザー回路の規模に応じて「最適な子基板の選択」や「お客様ご自身で子基板を再設計する事」が可能です。

詳細は、3)章「TSR1000A ボード(子基板)」を参照下さい。

1.2) 添付品一覧

TSR1000M ボード(親基板)

TSR1000A ボード(子基板)

サンプルデータ(CDROM)

2) TSR1000M ボード(親基板)

2.1) 仕様概要

単一電源動作(DC ジャック:7~9v、内径 2.1mm、センタープラス、電流 1A 以上)

- ・ 3.3v 系電源供給(子基板 IO 電源、汎用拡張コネクタ用電源)
- ・ 1.25v ~ 系電源供給(子基板コア電源)
- ・ 5v 系電源供給(デバイス電源、ビデオ電源、汎用拡張コネクタ用電源)

各種インターフェース

- ・ 子基板との接続インターフェース
- ・ RS232C ポート(DSUB9 ピン:ホスト動作時)
- ・ USB ポート(B タイプ:スレーブ動作時、USBtoUART ブリッジ IC-FT232BM 搭載)
- ・ ビデオ出力(DVI-D:TMD5 トランスミッタ Si I164 搭載)
- ・ イーサネット(RJ45:MAC/PHY コントローラ RTL8019AS 搭載)
- ・ 汎用入出力コネクタ(3 線式 AD/DA で 4 系統を想定、電源 5v, 3.3V 供給)

オンボードメモリー

- ・ SDRAM (4 個実装、最大 128MByte、2 系統)
- ・ FlashMemory (1 個実装、最大 8MByte)
- ・ FlashMemory 用ソケット (1 個実装、最大 512KByte、PLCC32)

供給クロック(計 4 系統)

- ・ オンボードクリスタル 2 系統(6MHz 及び 20MHz)
- ・ プログラマブル PLL 発振器用ソケット(SG8002DC)2 系統

2.2) 機能ブロック図

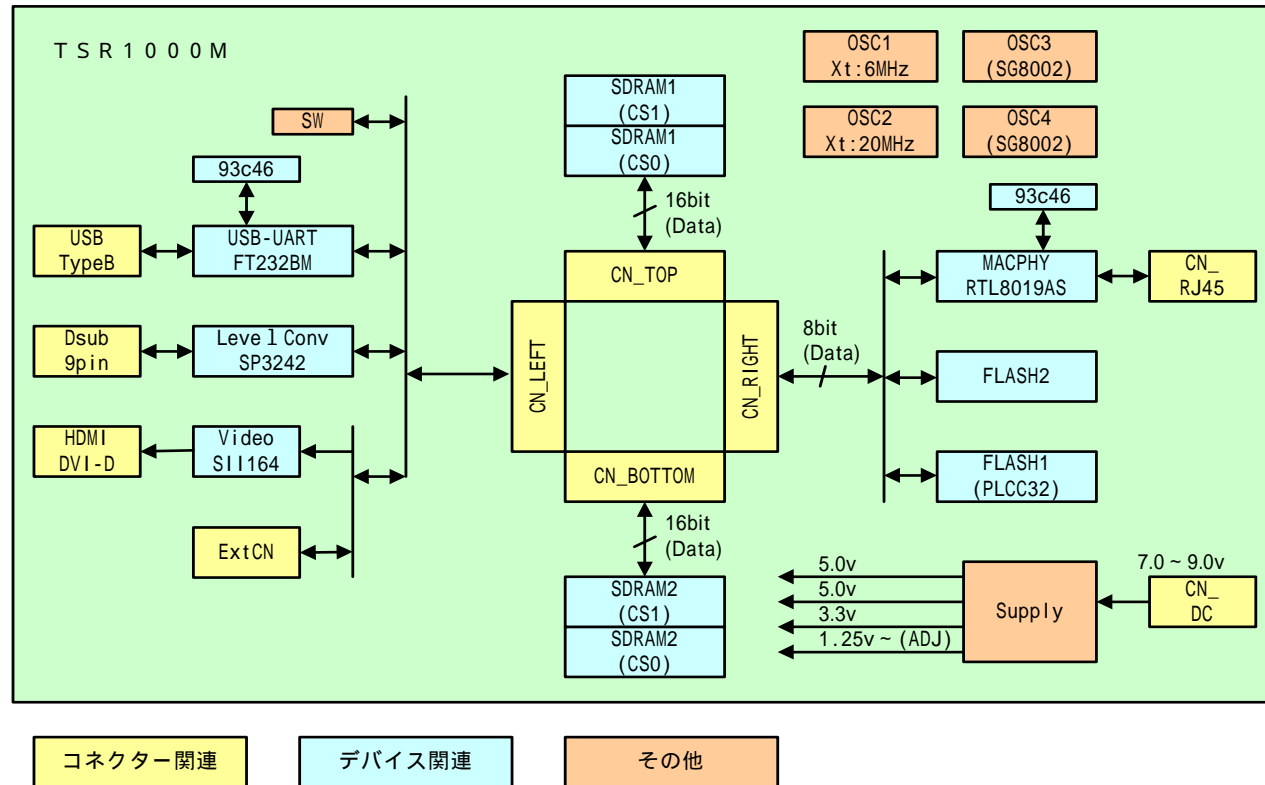


図 2.3.1-1、TSR1000M ボード 機能ブロック図

2.3) 部品配置図

2.3.1) 主要デバイス

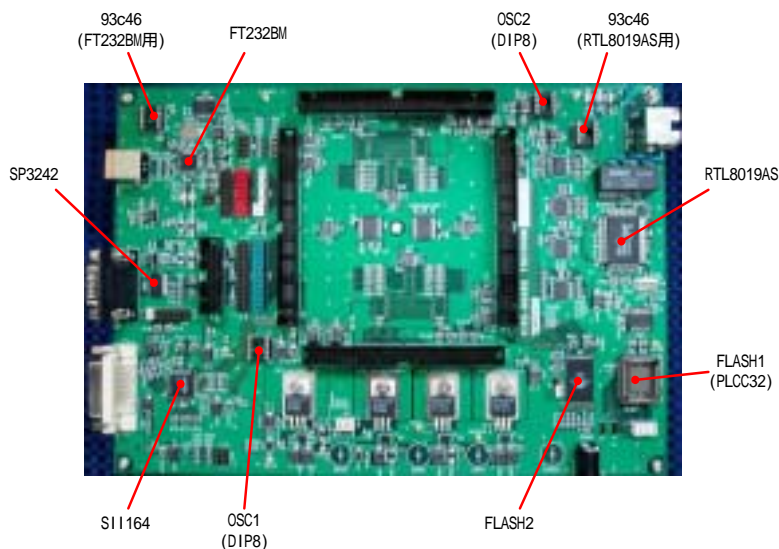


図 2.3.1-1、TSR1000M ボード 主要デバイス配置

表 2.3.1-1、主要デバイスリスト(IC ソケット含む)

部品名	部品番号	説明
FLASH1(PLCC32 ソケット)	U6	容量: ~ 512KByte(アドレス線 ~ A18, データ線 8bit 幅)
FLASH2	U5	容量: ~ 8MByte(アドレス線 ~ A22, データ線 8bit 幅)
SDRAM1_CS0	U7	容量: ~ 32MByte(アドレス線 ~ A12, データ線 16bit 幅)
SDRAM1_CS1	U8	容量: ~ 32MByte(アドレス線 ~ A12, データ線 16bit 幅)
SDRAM2_CS0	U13	容量: ~ 32MByte(アドレス線 ~ A12, データ線 16bit 幅)
SDRAM2_CS1	U14	容量: ~ 32MByte(アドレス線 ~ A12, データ線 16bit 幅)
FT232BM	U24	USBtoUART ブリッジ
SP3242	U29	UART レベル変換
RTL8019AS	U31	イーサネット IC(10Mbps, MAC/PHY)
SII1164	U28	TMDS トランスミッタ(DVI-D ビデオ出力)
ROM1(DIP8 ソケット)	U32	93c46 タイプ(RTL8019AS 用)
ROM2(DIP8 ソケット)	U24	93c46 タイプ(FT232BM 用)
OSC1(DIP8 ソケット)	U1	SG8002DC(PLL 内蔵プログラマブル発振器用)
OSC2(DIP8 ソケット)	U9	SG8002DC(PLL 内蔵プログラマブル発振器用)

2.3.2) コネクター

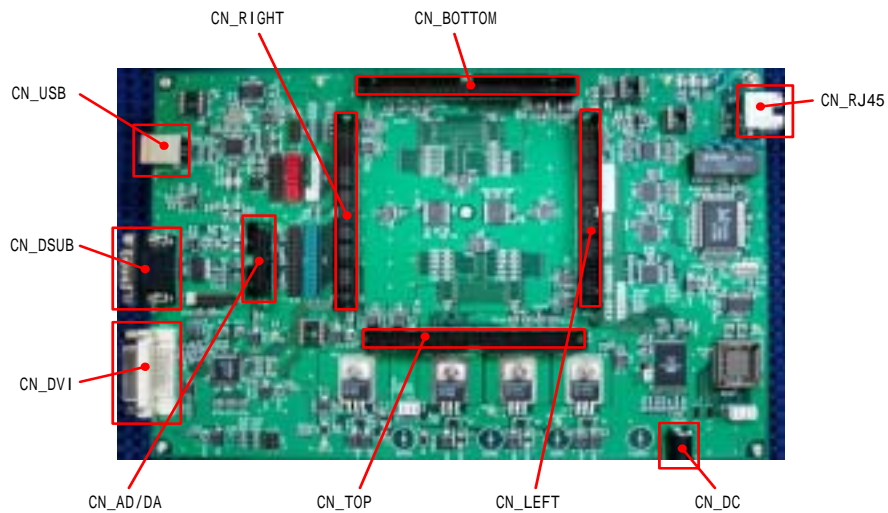


図 2.3.2-1、TSR1000M ボード コネクター配置

表 2.3.2-1、コネクターリスト

部品名	部品番号	説明
CN_RJ45	U40	イーサネット、10Mbps
CN_USB	U25	PC 接続用(B タイプ)、UART スレーブ動作
CN_DSUB	U30	RS232C 機器接続用(Dsub9 ピン)、UART ホスト動作
CN_DVI	U23	ビデオ出力用(DVI-D タイプ)
CN_DC	U15	電源(DC ジャック:7~9v、内径 2.1mm、センタープラス)
CN_TOP	U4	子基板接続用
CN_BOTTOM	U12	子基板接続用
CN_LEFT	U3	子基板接続用
CN_RIGHT	U11	子基板接続用
CN_AD/DA	U19	20 ピン汎用拡張コネクター(MIL 規格、コンタクトピッチ 2.54mm)

2.3.3) ジャンパー

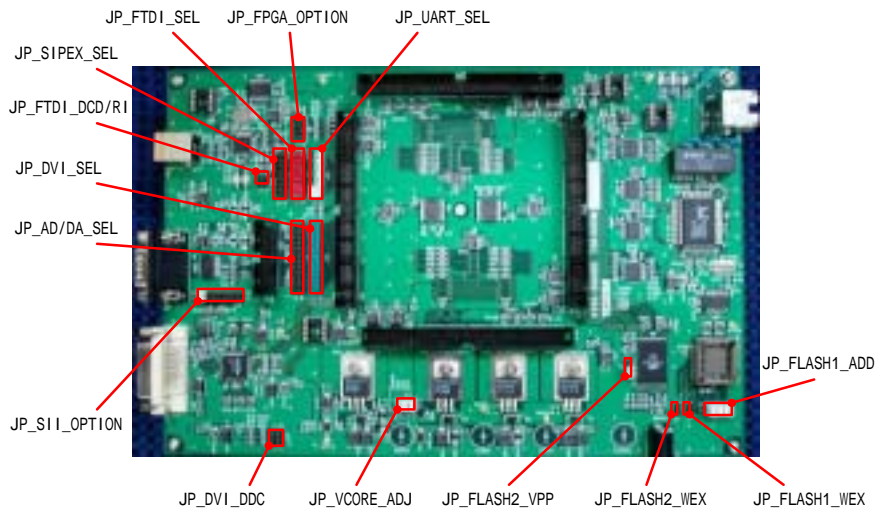


図 2.3.3-1、TSR1000M ボード ジャンパー配置

表 2.3.3-1、ジャンパーリスト

部品名	部品番号	説明
JP_DVI_SEL	J10	Si1164 デバイス信号切り離し
JP_DVI_DDC	J13	DVI-D 端子 DDC 関連の信号クランプ
JP_SII_OPTION	J14	Si1164 デバイス設定
JP_AD/DA_SEL	J9	汎用拡張コネクタ切り離し
JP_FPGA_OPTION	J5	子基板への接続信号
JP_FLASH1_ADD	J3	FLASH1 の上位アドレス線切り離し
JP_FLASH1_WEX	J1	FLASH1 のライトイネーブル切り離し
JP_FLASH2_WEX	J2	FLASH2 のライトイネーブル切り離し
JP_FLASH2_VPP	J4	FLASH2 のライト電源切り替え (VCC もしくは GND)
JP_SIIPEX_SEL	J8	UART と SP3242 間を切り離し
JP_FTDI_SEL	J7	UART と FT232BM 間を切り離し
JP_UART_SEL	J6	UART「クロス (FT232BM)、ストレート (SP3243)」切り替え
JP_FTDI_DCD/RI	J12	FT232BM 使用時、DCD 及び RI 信号のクランプ設定
JP_VCORE_ADJ	J11	子基板への CORE 電圧の設定

2.3.4) その他の部品

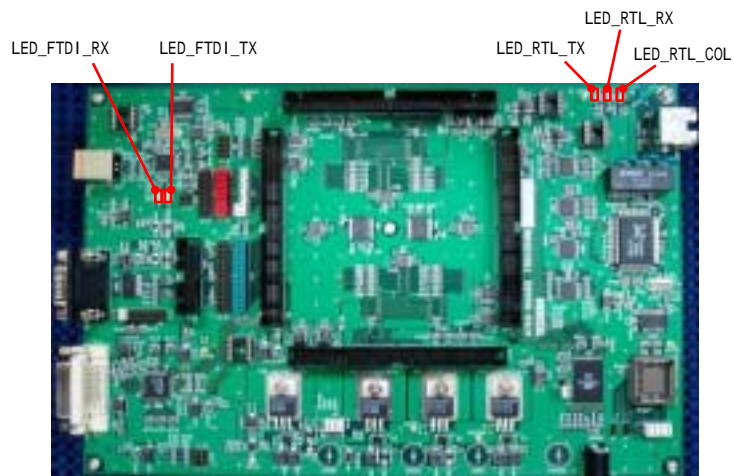


図 2.3.4-1、TSR1000M ボード その他の部品配置

表 2.3.4-1、その他の部品リスト

部品名	部品番号	説明
LED_FTDI_TX	U26	USBtoUARTブリッジ送信状態
LED_FTDI_RX	U27	USBtoUARTブリッジ受信状態
LED_RTL_TX	U36	イーサネット送信状態
LED_RTL_RX	U35	イーサネット受信状態
LED_RTL_COL	U34	イーサネットコリジョン状態

2.4) 部品詳細

2.4.1) CN_TOP(U4) 子基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 2.4.1-1、CN_TOP(U4) 接続信号

ピン名	接続信号名
A1	GND
A2	TOP_VCCIO(3.3v)
A3	TOP_VCCINT(1.25v~)
A4	TOP_CLKP
A5	NC
A6	SDRAMO_CLK
A7	NC
A8	SDRAMO_CKE
A9	SDRAMO_CS0_N
A10	SDRAMO_CAS_N
A11	SDRAMO_DQM1
A12	GND
A13	SDRAMO_BA1
A14	NC
A15	SDRAMO_A11
A16	SDRAMO_A9
A17	SDRAMO_A7
A18	SDRAMO_A5
A19	SDRAMO_A3
A20	SDRAMO_A1
A21	GND
A22	SDRAMO_DQ15
A23	SDRAMO_DQ13
A24	SDRAMO_DQ11
A25	SDRAMO_DQ9
A26	SDRAMO_DQ7
A27	SDRAMO_DQ5
A28	SDRAMO_DQ3
A29	SDRAMO_DQ1
A30	GND

ピン名	接続信号名
B1	GND
B2	TOP_VCCIO(3.3v)
B3	TOP_VCCINT(1.25v~)
B4	TOP_CLKN
B5	NC
B6	NC
B7	NC
B8	SDRAMO_CS1_N
B9	SDRAMO_RAS_N
B10	SDRAMO_WE_N
B11	SDRAMO_DQM0
B12	GND
B13	SDRAMO_BA0
B14	SDRAMO_A12
B15	SDRAMO_A10
B16	SDRAMO_A8
B17	SDRAMO_A6
B18	SDRAMO_A4
B19	SDRAMO_A2
B20	SDRAMO_A0
B21	GND
B22	SDRAMO_DQ14
B23	SDRAMO_DQ12
B24	SDRAMO_DQ10
B25	SDRAMO_DQ8
B26	SDRAMO_DQ6
B27	SDRAMO_DQ4
B28	SDRAMO_DQ2
B29	SDRAMO_DQ0
B30	GND

2.4.2) CN_BOTTOM(U12) 子基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 2.4.2-1、CN_BOTTOM(U12) 接続信号

ピン名	接続信号名
A1	GND
A2	BOTTOM_VCCIO(3.3v)
A3	BOTTOM_VCCINT(1.25v~)
A4	TOP_CLKP
A5	NC
A6	SDRAM1_CLK
A7	NC
A8	SDRAM1_CKE
A9	SDRAM1_CS0_N
A10	SDRAM1_CAS_N
A11	SDRAM1_DQM1
A12	GND
A13	SDRAM1_BA1
A14	NC
A15	SDRAM1_A11
A16	SDRAM1_A9
A17	SDRAM1_A7
A18	SDRAM1_A5
A19	SDRAM1_A3
A20	SDRAM1_A1
A21	GND
A22	SDRAM1_DQ15
A23	SDRAM1_DQ13
A24	SDRAM1_DQ11
A25	SDRAM1_DQ9
A26	SDRAM1_DQ7
A27	SDRAM1_DQ5
A28	SDRAM1_DQ3
A29	SDRAM1_DQ1
A30	GND

ピン名	接続信号名
B1	GND
B2	BOTTOM_VCCIO(3.3v)
B3	BOTTOM_VCCINT(1.25v~)
B4	TOP_CLKN
B5	NC
B6	NC
B7	NC
B8	SDRAM1_CS1_N
B9	SDRAM1_RAS_N
B10	SDRAM1_WE_N
B11	SDRAM1_DQM0
B12	GND
B13	SDRAM1_BA0
B14	SDRAM1_A12
B15	SDRAM1_A10
B16	SDRAM1_A8
B17	SDRAM1_A6
B18	SDRAM1_A4
B19	SDRAM1_A2
B20	SDRAM1_A0
B21	GND
B22	SDRAM1_DQ14
B23	SDRAM1_DQ12
B24	SDRAM1_DQ10
B25	SDRAM1_DQ8
B26	SDRAM1_DQ6
B27	SDRAM1_DQ4
B28	SDRAM1_DQ2
B29	SDRAM1_DQ0
B30	GND

2.4.3) CN_LEFT(U3) 子基板接続用コネクタ

形状：MIL規格、ピッチ2.54mm、ピン数60(30x2)

表 2.4.3-1、CN_LEFT(U3) 接続信号

ピン名	接続信号名
A1	GND
A2	LEFT_VCCIO(3.3v)
A3	LEFT_VCCINT(1.25v~)
A4	LEFT_CLKP
A5	NC
A6	MEM_CS2_RSTDRV
A7	MEM_CS1_RST_N
A8	MEM_CS2_GX
A9	MEM_CS2_IOCHRDY
A10	MEM_CS1_RDY
A11	MEM_WE_N
A12	GND
A13	NC
A14	MEM_A21
A15	MEM_A19
A16	MEM_A17
A17	MEM_A15
A18	MEM_A13
A19	MEM_A11
A20	MEM_A9
A21	GND
A22	MEM_A7
A23	MEM_A5
A24	MEM_A3
A25	MEM_A1
A26	MEM_D7
A27	MEM_D5
A28	MEM_D3
A29	MEM_D1
A30	GND

ピン名	接続信号名
B1	GND
B2	LEFT_VCCIO(3.3v)
B3	LEFT_VCCINT(1.25v~)
B4	LEFT_CLKN
B5	NC
B6	MEM_CS2_INT
B7	MEM_CS2_DIR
B8	MEM_CS2_N
B9	MEM_CS1_N
B10	MEM_CS0_N
B11	MEM_OE_N
B12	GND
B13	MEM_A22
B14	MEM_A20
B15	MEM_A18
B16	MEM_A16
B17	MEM_A14
B18	MEM_A12
B19	MEM_A10
B20	MEM_A8
B21	GND
B22	MEM_A6
B23	MEM_A4
B24	MEM_A2
B25	MEM_A0
B26	MEM_D6
B27	MEM_D4
B28	MEM_D2
B29	MEM_D0
B30	GND

2.4.4) CN_RIGHT(U11) 子基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 2.4.4-1、CN_RIGHT(U11) 接続信号

ピン名	接続信号名
A1	GND
A2	RIGHT_VCCIO(3.3v)
A3	RIGHT_VCCINT(1.25v~)
A4	RIGHT_CLKP
A5	NC
A6	MISC_GPI03
A7	MISC_GPI01
A8	UART_TXD
A9	UART_RTS_N
A10	UART_DTR_N
A11	UART_DCD_N
A12	GND
A13	VGA_CLKP
A14	NC
A15	VGA_VSYNC
A16	NC
A17	VGA_D23 / DA1_CLK
A18	VGA_D21 / DA1_LD
A19	VGA_D19 / DA0_DAT
A20	VGA_D17 / AD1_CLK
A21	GND
A22	VGA_D15 / AD1_CONV
A23	VGA_D13 / AD0_DAT
A24	VGA_D11
A25	VGA_D9
A26	VGA_D7
A27	VGA_D5
A28	VGA_D3
A29	VGA_D1
A30	GND

ピン名	接続信号名
B1	GND
B2	RIGHT_VCCIO(3.3v)
B3	RIGHT_VCCINT(1.25v~)
B4	RIGHT_CLKN
B5	NC
B6	MISC_GPI02
B7	MISC_GPI00
B8	UART_RXD
B9	UART_CTS_N
B10	UART_DSR_N
B11	UART_RI_N
B12	GND
B13	VGA_CLKN
B14	NC
B15	VGA_HSYNC
B16	VGA_BLANK
B17	VGA_D22 / DA1_DAT
B18	VGA_D20 / DA0_CLK
B19	VGA_D18 / DA0_LD
B20	VGA_D16 / AD1_DAT
B21	GND
B22	VGA_D14 / AD0_CLK
B23	VGA_D12 / AD0_CONV
B24	VGA_D10
B25	VGA_D8
B26	VGA_D6
B27	VGA_D4
B28	VGA_D2
B29	VGA_D0
B30	GND

2.4.5) CN_AD/DA(U19) 汎用入出力コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 20(10x2)

表 2.4.5-1、CN_AD/DA(U19) 接続信号

番号	ピン名	接続信号名
1	A1	GND
3	A2	ADDA_VCC(5.0v)
5	A3	ADDA_VCC10(3.3v)
7	A4	DA1_CLK / (ユーザーIO)
9	A5	DA1_LD / (ユーザーIO)
11	A6	DA0_DAT / (ユーザーIO)
13	A7	ADO_CLK / (ユーザーIO)
15	A8	ADO_CONV / (ユーザーIO)
17	A9	ADO_DAT / (ユーザーIO)
19	A10	GND

番号	ピン名	接続信号名
2	B1	GND
4	B2	ADDA_VCC(5.0v)
6	B3	ADDA_VCC10(3.3v)
8	B4	DA1_DAT / (ユーザーIO)
10	B5	DA0_CLK / (ユーザーIO)
12	B6	DA0_LD / (ユーザーIO)
14	B7	AD1_DAT / (ユーザーIO)
16	B8	ADO_CLK / (ユーザーIO)
18	B9	ADO_CONV / (ユーザーIO)
20	B10	GND

2.4.6) JP_DVI_SEL(J10) Si1164 デバイス信号切り離し

形状：ピッチ 2.54mm、ピン数 24(12x2)

表 2.4.6-1、JP_DVI_SEL(J10) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	VGA_D23 / DA1_CLK	1-2	VGA_D23	Si1164 ビデオ表示 デバイス
	VGA_D22 / DA1_DAT	3-4	VGA_D22	
	VGA_D21 / DA1_LD	5-6	VGA_D21	
	VGA_D20 / DA0_CLK	7-8	VGA_D20	
	VGA_D19 / DA0_DAT	9-10	VGA_D19	
	VGA_D18 / DA0_LD	11-12	VGA_D18	
	VGA_D17 / AD1_CLK	13-14	VGA_D17	
	VGA_D16 / AD1_DAT	15-16	VGA_D16	
	VGA_D15 / AD1_CONV	17-18	VGA_D15	
	VGA_D14 / AD0_CLK	19-20	VGA_D14	
	VGA_D13 / AD0_DAT	21-22	VGA_D13	
	VGA_D12 / AD0_CONV	23-24	GA_D12	

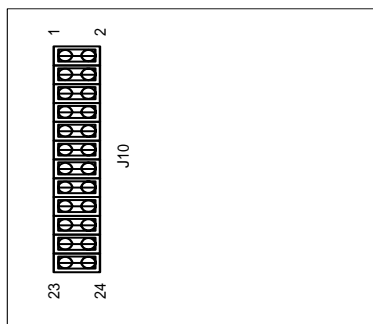
注)「Si1164 ビデオ表示デバイス」と「汎用拡張コネクタ」とを同時に使用する事はできません。

図 2.4.6-1、JP_DVI_SEL(J10) ジャンパー設定

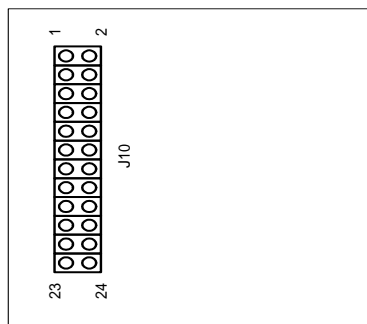
○ ○ オープン

⊠ ショート

Si1164デバイスを使用する時



Si1164デバイスを使用しない時



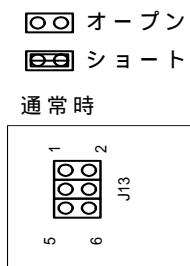
2.4.7) JP_DVI_DDC(J13) DVI-D 端子 DDC 関連の信号クランプ

形状：ピッチ2.54mm、ピン数6(3x2)

表 2.4.7-1、JP_DVI_DDC(J13) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
D V I - D	HPD	1-2	GND	-----
ビデオ	DDCClock	3-4	GND	
コネクタ	DDCData	5-6	GND	

図 2.4.7-1、JP_DVI_DDC(J13) ジャンパー設定



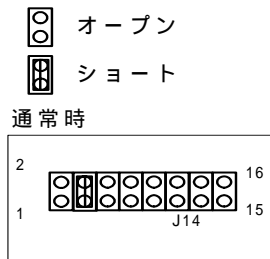
2.4.8) JP_SII_OPTION(J14) Sii164 デバイス設定

形状：ピッチ2.54mm、ピン数16(8x2)

表 2.4.8-1、JP_SII_OPTION(J14) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
Sii164 ビデオ表示 デバイス	DVI_BSEL	1-2	GND	-----
	DVI_DSEL	3-4	GND	
	DVI_PD_N	5-6	GND	
	DVI_EDGE	7-8	GND	
	DVI_DK1	9-10	GND	
	DVI_DK2	11-12	GND	
	DVI_DK3	13-14	GND	
	DVI_DKEN	15-16	GND	

図 2.4.8-1、JP_SII_OPTION(J14) ジャンパー設定



2.4.9) JP_AD/DA_SEL(J9) 汎用拡張コネクタ切り離し

形状：ピッチ2.54mm、ピン数24(12x2)

表 2.4.9-1、JP_AD/DA_SEL(J9) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	VGA_D23 / DA1_CLK	1-2	DA1_CLK	CN_AD/DA 汎用拡張 コネクタ
	VGA_D22 / DA1_DAT	3-4	DA1_DAT	
	VGA_D21 / DA1_LD	5-6	DA1_LD	
	VGA_D20 / DA0_CLK	7-8	DA0_CLK	
	VGA_D19 / DA0_DAT	9-10	DA0_DAT	
	VGA_D18 / DA0_LD	11-12	DA0_LD	
	VGA_D17 / AD1_CLK	13-14	AD1_CLK	
	VGA_D16 / AD1_DAT	15-16	AD1_DAT	
	VGA_D15 / AD1_CONV	17-18	AD1_CONV	
	VGA_D14 / ADO_CLK	19-20	ADO_CLK	
	VGA_D13 / ADO_DAT	21-22	ADO_DAT	
	VGA_D12 / ADO_CONV	23-24	ADO_CONV	

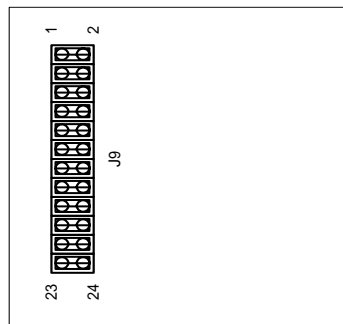
注)「Si I164 ビデオ表示デバイス」と「汎用拡張コネクタ」とを同時に使用する事はできません。

図 2.4.9-1、JP_AD/DA_SEL(J9) ジャンパー設定

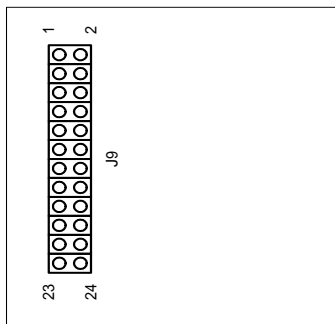
○ ○ オープン

■ ■ ショート

汎用拡張コネクタを使用する時



汎用拡張コネクタを使用しない時




2.4.10) JP_FPGA_OPTION(J5) 子基板への接続信号


形状：ピッチ2.54mm、ピン数8(4x2)

表 2.4.10-1、JP_FPGA_OPTION(J5) 接続信号

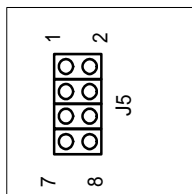
接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	MISC_GPI00	1-2	GND	-----
	MISC_GPI01	3-4	GND	
	MISC_GPI02	5-6	GND	
	MISC_GPI03	7-8	GND	

図 2.4.10-1、JP_FPGA_OPTION(J5) ジャンパー設定

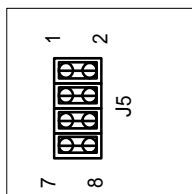
 オープン

 ショート

MISC_GPI00,1,2,3=Highする時



MISC_GPI00,1,2,3=Lowとする時



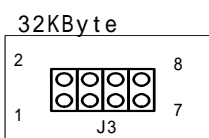
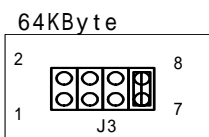
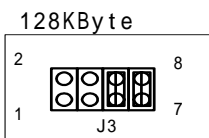
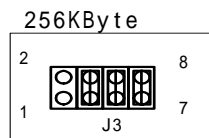
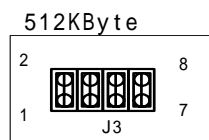
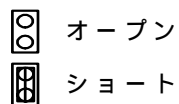
2.4.11) JP_FLASH1_ADD(J3) FLASH1 のアドレス線切り離し

形状：ピッチ2.54mm、ピン数8(4x2)

表 2.4.11-1、JP_FLASH1_ADD(J3) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
CN_LEFT 子基板 コネクタ	MEM_A18	1-2	A18	FLASH1 (PLCC32ソケット)
	MEM_A17	3-4	A17	
	MEM_A16	5-6	A16	
	MEM_A15	7-8	A15	

図 2.4.11-1、JP_FLASH1_ADD(J3) ジャンパー設定




2.4.12) JP_FLASH1_WEX(J1) FLASH1 のライトイネーブル切り離し


形状：ピッチ2.54mm、ピン数2(1x2)

表 2.4.12-1、JP_FLASH1_WEX(J1) 接続信号

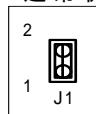
接続先	接続信号名	ピン番号	接続信号名	接続先
CN_LEFT 子基板 コネクタ	MEM_WE_N	1-2	WEX	FLASH1 (PLCC32ソケット)

図 2.4.12-1、JP_FLASH1_WEX(J1) ジャンパー設定

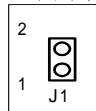
 オープン

 ショート

通常状態



マスク状態




2.4.13) JP_FLASH2_WEX(J2) FLASH2 のライトイネーブル切り離し


形状：ピッチ2.54mm、ピン数2(1x2)

表 2.4.13-1、JP_FLASH2_WEX(J2) 接続信号

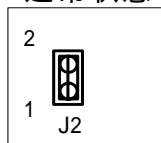
接続先	接続信号名	ピン番号	接続信号名	接続先
CN_LEFT 子基板 コネクタ	MEM_WE_N	1-2	WEX	FLASH2

図 2.4.13-1、JP_FLASH2_WEX(J2) ジャンパー設定

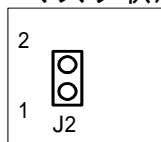
 オープン

 ショート

通常状態



マスク状態



2.4.14) JP_FLASH2_VPP(J4) FLASH2 のライト用電源設定


形状：ピッチ2.54mm、ピン数3(1x3)


表 2.4.14-1、JP_FLASH2_VPP(J4) 接続設定

接続先	接続信号名	ピン番号	接続信号名	接続先
- - - -	GND	1-2	VPP	FLASH2

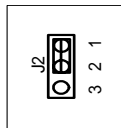
接続先	接続信号名	ピン番号	接続信号名	接続先
FLASH2	VPP	2-3	VCC	- - - -

図 2.4.14-1、JP_FLASH2_VPP(J4) ジャンパー設定

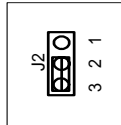
 オープン

 ショート

VPP端子電圧 = GND



VPP端子電圧 = VCC



2.4.15) JP_SIPEX_SEL(J8) UART と SP3242 間を切り離し

形状：ピッチ2.54mm、ピン数16(8x2)


表 2.4.15-1、JP_SIPEX_SEL(J8) 接続信号


接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	UART_TXD(RXD)	1-2	SP_TXD	SP3242 レベル変換 デバイス
	UART_RXD(TXD)	3-4	SP_RXD	
	UART_RTS_N(CTS_N)	5-6	SP_RTS_N	
	UART_CTS_N(RTS_N)	7-8	SP_CTS_N	
	UART_DTR_N(DSR_N)	9-10	SP_DTR_N	
	UART_DTR_N(DTR_N)	11-12	SP_DSR_N	
	UART_DCD_N	13-14	SP_DCD_N	
	UART_RI_N	15-16	SP_RI_N	

注)「FT232BM USBtoUARTブリッジデバイス」と「SP3242 レベル変換デバイス」
とを同時に使用する事はできません。

注)「SP3242 レベル変換デバイス」を使用する場合、「JP_UART_SEL(J6)」をス
トレート設定にしてください。

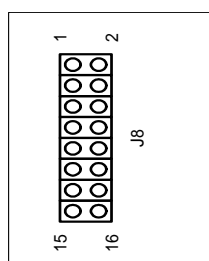
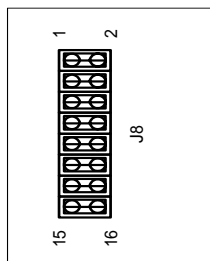
図 2.4.15-1、JP_SIPEX_SEL(J8) ジャンパー設定

 オープン

 ショート

SP3242デバイスを使用する時

SP3242デバイスを使用しない時



2.4.16) JP_FTDI_SEL(J7) UART と FT232BM 間を切り離し

形状：ピッチ2.54mm、ピン数16(8x2)


表 2.4.16-1、JP_FTDI_SEL(J7) 接続信号


接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	UART_RXD(TXD)	1-2	FT_TXD	FT232BM USBtoUARTブリッジ デバイス
	UART_TXD(RXD)	3-4	FT_RXD	
	UART_CTS_N(RTS_N)	5-6	FT_RTS_N	
	UART_RTS_N(CTS_N)	7-8	FT_CTS_N	
	UART_DSR_N(DTR_N)	9-10	FT_DTR_N	
	UART_DTR_N(DSR_N)	11-12	FT_DSR_N	
	UART_DCD_N	13-14	FT_DCD_N	
	UART_RI_N	15-16	FT_RI_N	

注)「FT232BM USBtoUARTブリッジデバイス」と「SP3242 レベル変換デバイス」とを同時に使用する事はできません。

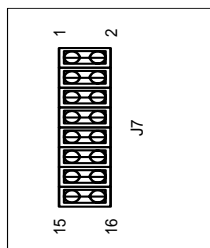
注)「FT232BM USBtoUARTブリッジデバイス」を使用する場合、「JP_UART_SEL(J6)」をクロス設定にしてください。

図 2.4.16-1、JP_FTDI_SEL(J7) ジャンパー設定

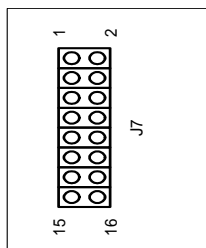
 オープン

 ショート

FT232BMデバイスを使用する時



FT232BMデバイスを使用しない時



2.4.17) JP_UART_SEL(J6) UART「クロス、ストレート」切り替え

形状：ピッチ2.54mm、ピン数16(8x2)

表 2.4.17-1、JP_UART_SEL(J6) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
CN_RIGHT 子基板 コネクタ	UART_TXD	1-2	SP_TXD / FT_RXD	SP3242 レベル変換 デバイス 又は、 FT232BM USBtoUARTブリッジ デバイス
	UART_RXD	3-4	SP_RXD / FT_TXD	
	UART_RTS_N	5-6	SP_RTS_N / FT_CTS_N	
	UART_CTS_N	7-8	SP_CTS_N / FT_RTS_N	
	UART_DTR_N	9-10	SP_DTR_N / FT_CTS_N	
	UART_DTR_N	11-12	SP_DSR_N / FT_DTR_N	
	UART_DCD_N	13-14	SP_DCD_N / FT_DCD_N	
	UART_RI_N	15-16	SP_RI_N / FT_RI_N	


注)「SP3242 レベル変換デバイス」を使用する場合


「JP_UART_SEL(J6)」をストレート設定にしてください。

注)「FT232BM USBtoUARTブリッジデバイス」を使用する場合

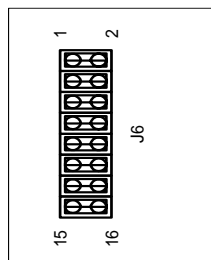
「JP_UART_SEL(J6)」をクロス設定にしてください。

図 2.4.17-1、JP_UART_SEL(J6) ジャンパー設定

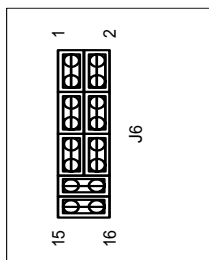
 オープン

 ショート

ストレート設定



クロス設定




2.4.18) JP_FTDI_DCD/RI(J12) FT232BM 使用時、DCD、RI 信号クランプ


形状：ピッチ2.54mm、ピン数4(2x2)

表 2.4.18-1、JP_FTDI_DCD/RI(J12) 接続信号

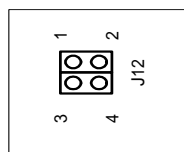
接続先	接続信号名	ピン番号	接続信号名	接続先
FT232BM USBtoUARTブリッジ デバイス	FT_DCD_N	1-2	GND	- - - -
	FT_RI_N	3-4	GND	

図 2.4.18-1、JP_FTDI_DCD/RI(J12) ジャンパー設定

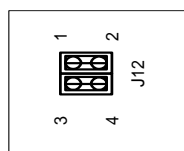
 オープン

 ショート

FT_DCD_N、FT_RI_N=フルアップ° (通常時)



FT_DCD_N、FT_RI_N=GND



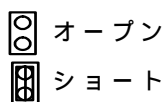
2.4.19) JP_VCORE_ADJ(J11) 子基板への CORE 電圧設定

形状：ピッチ2.54mm、ピン数6(3x2)

表 2.4.19-1、JP_VCORE_ADJ(J11) 接続信号

接続先	接続信号名	ピン番号	接続信号名	接続先
電源 レギュレータ	R66	1-2	GND	- - - -
	R65	3-4	GND	
	R64	5-6	GND	

図 2.4.19-1、JP_VCORE_ADJ(J11) ジャンパー設定



子基板 TSR1000A 使用時

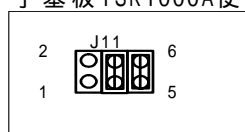


表 2.4.19-2、JP_VCORE_ADJ(J11) 出力電圧

条件：R66=0、R65=90、R64=180、R63=180、R62=180、Vref=1.25v 時

pin 1-2	pin 3-4	pin 5-6	出力電圧(V)
OFF	OFF	OFF	2.50
OFF	OFF	ON	1.87
OFF	ON	OFF	1.66
OFF	ON	ON	1.57(適用:TSR1000A 使用時)
ON	---	---	1.25(レギュレータリファレンス電圧)

3) TSR1000A ボード(子基板)

3.1) 仕様概要

主要デバイス

- ・ FPGA 「EP1C12」搭載
- ・ PowerON リセット IC 搭載

インターフェース

- ・ 親基板との接続インターフェース
- ・ FPGA 用 JTAG コネクタ(デバック、SOF ファイル用)
- ・ シリアル ROM(EPCS4)書き込み用コネクタ(POF ファイル用)

その他

- ・ FPGA ユーザー回路から制御できる LED(1 個)
- ・ FPGA リコンフィグボタン
- ・ FPGA ハードウェアリセットボタン
- ・ FPGA 供給クロックは 4 系統中(親基板)から 2 系統を選択

3.2) 機能ブロック図

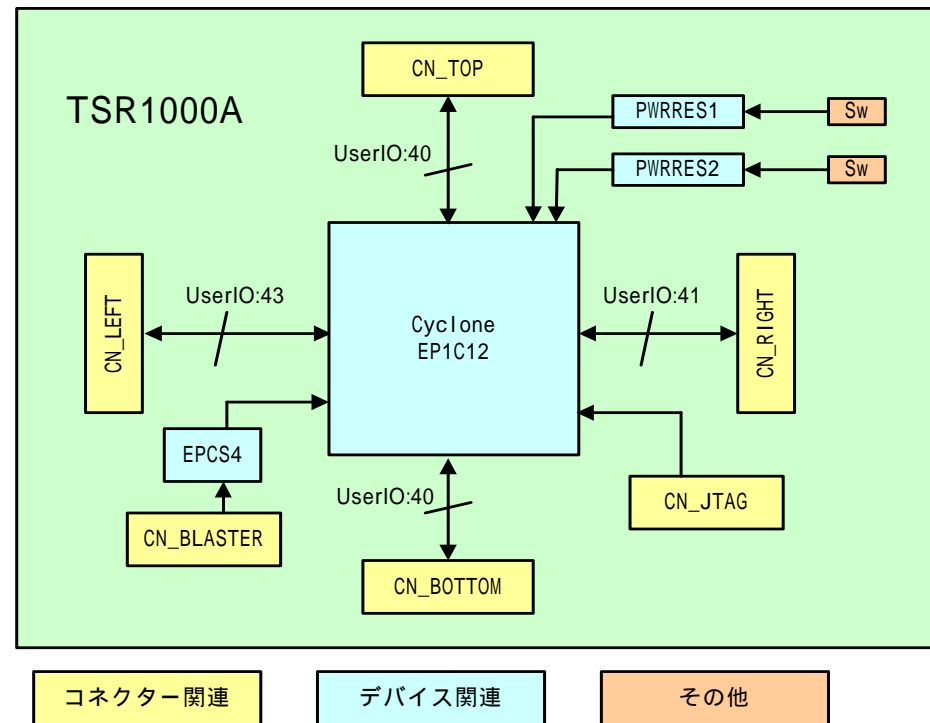


図 2.4.19-1、TSR1000M ボード 機能ブロック図

3.3) 部品配置図

3.3.1) 主要デバイス

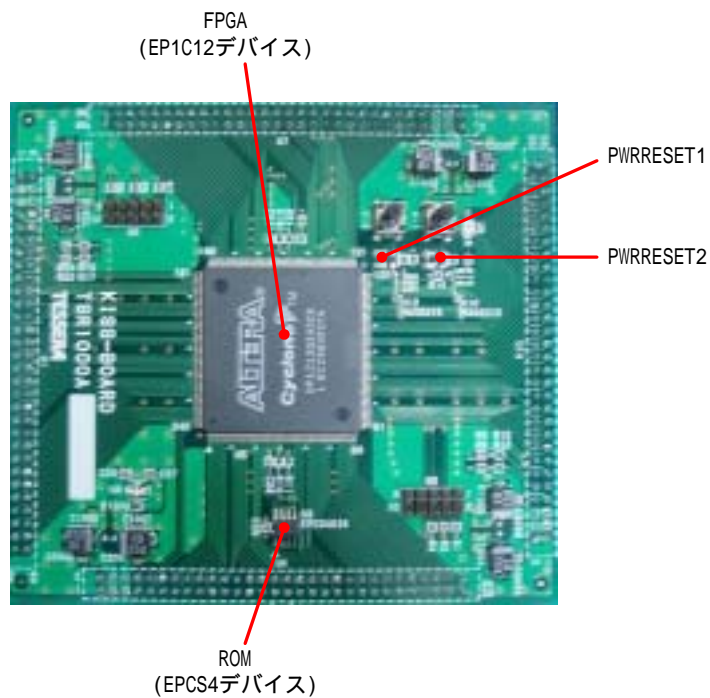


図 3.3.1-1、TSR1000A ボード 主要デバイス配置

表 3.3.1-1、主要デバイスリスト

部品名	部品番号	内容
FPGA	U5	FPGA デバイス(EP1C12,PQFP240 ピン)
ROM	U3	FPGA コンフィグ ROM(EPCS4)
PWRRESET1	U12	FPGA リコンフィグ制御用 PowerON リセット IC
PWRRESET2	U10	ユーザー回路リセット制御用 PowerON リセット IC

3.3.2) コネクター

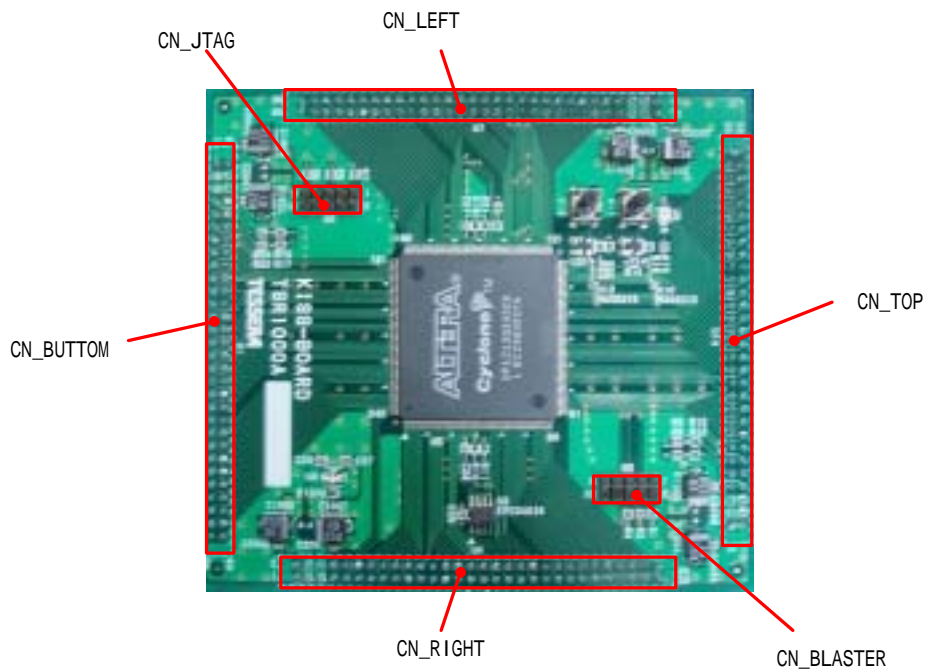


図 3.3.2-1、TSR1000A ボード コネクター配置

表 3.3.2-1、コネクターリスト

部品名	部品番号	内容
CN_BLASTER	U2	コンフィグROM 書き込み用
CN_JTAG	U6	FPGA デバイス JTAG 用
CN_TOP	U14	親基板へ接続
CN_BOTTOM	U1	親基板へ接続
CN_LEFT	U7	親基板へ接続
CN_RIGHT	U4	親基板へ接続

3.3.3) その他の部品

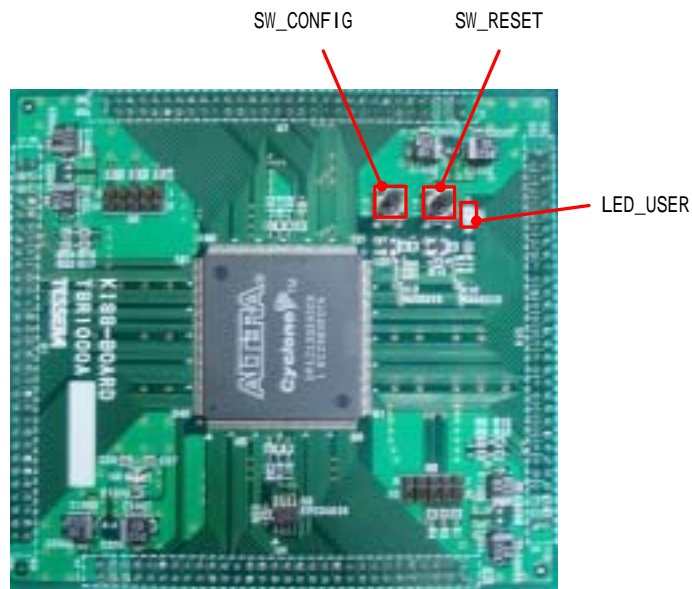


図 3.3.3-1、TSR1000A ボード その他の部品配置

表 3.3.3-1、その他の部品リスト

部品名	部品番号	内容、用途
SW_CONFIG	U13	FPGA 強制リコンフィグ用ボタン
SW_RESET	U11	ユーザー回路用リセットボタン
LED_USER	U9	ユーザー回路用 LED

3.4) 部品詳細

3.4.1) CN_BLASTER コンフィグROM書き込み用コネクタ

形状：MIL規格、ピッチ2.54mm、ピン数10(5x2)

表 3.4.1-1、CN_BLASTER 接続信号

番号	ピン名	接続信号名
1	A1	DCLK
3	A2	CONFIG_DONE
5	A3	nCONFIG
7	A4	DATA
9	A5	ASD

番号	ピン名	接続信号名
2	B1	GND
4	B2	VCC
6	B3	nCE
8	B4	nCS
10	B5	GND

注) USB-Blater を接続します。1 番ピンマークを合わせて接続してください。

3.4.2) CN_JTAG FPGA デバイス用 JTAG コネクタ

形状：MIL規格、ピッチ2.54mm、ピン数10(5x2)

表 3.4.2-1、CN_JTAG 接続信号

番号	ピン名	接続信号名
1	A1	TCK
3	A2	TDO
5	A3	TMS
7	A4	NC
9	A5	TDI

番号	ピン名	接続信号名
2	B1	GND
4	B2	VCC
6	B3	NC
8	B4	NC
10	B5	GND

注) USB-Blater を接続します。1 番ピンマークを合わせて接続してください。

3.4.3) CN_TOP 親基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 3.4.3-1、CN_TOP 接続信号

ピン名	接続信号名
A1	GND
A2	TOP_VCCIO (VCCIO:3.3v)
A3	TOP_VCCINT (VCCINT:1.5v)
A4	TOP_CLKP (CLK2/153)
A5	NC
A6	SDRAMO_CLK (I0/181)
A7	NC
A8	SDRAMO_CKE (I0/182)
A9	SDRAMO_CS0_N (I0/184)
A10	SDRAMO_CAS_N (I0/186)
A11	SDRAMO_DQM1 (I0/188)
A12	GND
A13	SDRAMO_BA1 (I0/194)
A14	NC
A15	SDRAMO_A11 (I0/197)
A16	SDRAMO_A9 (I0/201)
A17	SDRAMO_A7 (I0/203)
A18	SDRAMO_A5 (I0/207)
A19	SDRAMO_A3 (I0/213)
A20	SDRAMO_A1 (I0/215)
A21	GND
A22	SDRAMO_DQ15 (I0/217)
A23	SDRAMO_DQ13 (I0/219)
A24	SDRAMO_DQ11 (I0/223)
A25	SDRAMO_DQ9 (I0/225)
A26	SDRAMO_DQ7 (I0/227)
A27	SDRAMO_DQ5 (I0/233)
A28	SDRAMO_DQ3 (I0/235)
A29	SDRAMO_DQ1 (I0/237)
A30	GND

ピン名	接続信号名
B1	GND
B2	TOP_VCCIO (VCCIO:3.3v)
B3	TOP_VCCINT (VCCINT:1.5v)
B4	TOP_CLKN (CLK3/152)
B5	NC
B6	NC
B7	NC
B8	SDRAMO_CS1_N (I0/183)
B9	SDRAMO_RAS_N (I0/185)
B10	SDRAMO_WE_N (I0/187)
B11	SDRAMO_DQM0 (I0/193)
B12	GND
B13	SDRAMO_BA0 (I0/195)
B14	SDRAMO_A12 (I0/196)
B15	SDRAMO_A10 (I0/200)
B16	SDRAMO_A8 (I0/202)
B17	SDRAMO_A6 (I0/206)
B18	SDRAMO_A4 (I0/208)
B19	SDRAMO_A2 (I0/214)
B20	SDRAMO_A0 (I0/216)
B21	GND
B22	SDRAMO_DQ14 (I0/218)
B23	SDRAMO_DQ12 (I0/222)
B24	SDRAMO_DQ10 (I0/224)
B25	SDRAMO_DQ8 (I0/226)
B26	SDRAMO_DQ6 (I0/228)
B27	SDRAMO_DQ4 (I0/234)
B28	SDRAMO_DQ2 (I0/236)
B29	SDRAMO_DQ0 (I0/238)
B30	GND

注) ()内表記は FPGA デバイスの接続先を示す

3.4.4) CN_BOTTOM 親基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 3.4.4-1、CN_BOTTOM 接続信号

ピン名	接続信号名
A1	GND
A2	BOTTOM_VCCIO (VCCIO:3.3v)
A3	BOTTOM_VCCINT (VCCINT:1.5v)
A4	BOTTOM_CLKP (CLK0/28)
A5	NC
A6	SDRAM1_CLK (I0/61)
A7	NC
A8	SDRAM1_CKE (I0/62)
A9	SDRAM1_CS0_N (I0/64)
A10	SDRAM1_CAS_N (I0/66)
A11	SDRAM1_DQM1 (I0/68)
A12	GND
A13	SDRAM1_BA1 (I0/74)
A14	NC
A15	SDRAM1_A11 (I0/77)
A16	SDRAM1_A9 (I0/79)
A17	SDRAM1_A7 (I0/83)
A18	SDRAM1_A5 (I0/85)
A19	SDRAM1_A3 (I0/87)
A20	SDRAM1_A1 (I0/93)
A21	GND
A22	SDRAM1_DQ15 (I0/95)
A23	SDRAM1_DQ13 (I0/99)
A24	SDRAM1_DQ11 (I0/101)
A25	SDRAM1_DQ9 (I0/105)
A26	SDRAM1_DQ7 (I0/107)
A27	SDRAM1_DQ5 (I0/113)
A28	SDRAM1_DQ3 (I0/115)
A29	SDRAM1_DQ1 (I0/117)
A30	GND

ピン名	接続信号名
B1	GND
B2	BOTTOM_VCCIO (VCCIO:3.3v)
B3	BOTTOM_VCCINT (VCCINT:1.5v)
B4	BOTTOM_CLKN (CLK1/29)
B5	NC
B6	NC
B7	NC
B8	SDRAM1_CS1_N (I0/63)
B9	SDRAM1_RAS_N (I0/65)
B10	SDRAM1_WE_N (I0/67)
B11	SDRAM1_DQM0 (I0/73)
B12	GND
B13	SDRAM1_BA0 (I0/75)
B14	SDRAM1_A12 (I0/76)
B15	SDRAM1_A10 (I0/78)
B16	SDRAM1_A8 (I0/82)
B17	SDRAM1_A6 (I0/84)
B18	SDRAM1_A4 (I0/86)
B19	SDRAM1_A2 (I0/88)
B20	SDRAM1_A0 (I0/94)
B21	GND
B22	SDRAM1_DQ14 (I0/98)
B23	SDRAM1_DQ12 (I0/100)
B24	SDRAM1_DQ10 (I0/104)
B25	SDRAM1_DQ8 (I0/106)
B26	SDRAM1_DQ6 (I0/108)
B27	SDRAM1_DQ4 (I0/114)
B28	SDRAM1_DQ2 (I0/116)
B29	SDRAM1_DQ0 (I0/118)
B30	GND

注) ()内表記は FPGA デバイスの接続先を示す

3.4.5) CN_LEFT 親基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 3.4.5-1、CN_LEFT 接続信号

ピン名	接続信号名
A1	GND
A2	LEFT_VCCIO (VCCIO:3.3v)
A3	LEFT_VCCINT (VCCINT:1.5v)
A4	LEFT_CLKP (CLK0/28)
A5	NC
A6	MEM_CS2_RSTDRV (I0/239)
A7	MEM_CS1_RST_N (I0/119)
A8	MEM_CS2_G_N (I0/2)
A9	MEM_CS2_IOCHRDY (I0/4)
A10	MEM_CS1_RDY (I0/6)
A11	MEM_WE_N (I0/8)
A12	GND
A13	NC
A14	MEM_A21 (I0/13)
A15	MEM_A19 (I0/15)
A16	MEM_A17 (I0/17)
A17	MEM_A15 (I0/19)
A18	MEM_A13 (I0/21)
A19	MEM_A11 (I0/38)
A20	MEM_A9 (I0/41)
A21	GND
A22	MEM_A7 (I0/43)
A23	MEM_A5 (I0/45)
A24	MEM_A3 (I0/47)
A25	MEM_A1 (I0/49)
A26	MEM_D7 (I0/53)
A27	MEM_D5 (I0/55)
A28	MEM_D3 (I0/57)
A29	MEM_D1 (I0/59)
A30	GND

ピン名	接続信号名
B1	GND
B2	LEFT_VCCIO (VCCIO:3.3v)
B3	LEFT_VCCINT (VCCINT:1.5v)
B4	LEFT_CLKN (CLK1/29)
B5	NC
B6	MEM_CS2_INT (I0/240)
B7	MEM_CS2_DIR (I0/1)
B8	MEM_CS2_N (I0/3)
B9	MEM_CS1_N (I0/5)
B10	MEM_CS0_N (I0/7)
B11	MEM_OE_N (I0/11)
B12	GND
B13	MEM_A22 (I0/12)
B14	MEM_A20 (I0/14)
B15	MEM_A18 (I0/16)
B16	MEM_A16 (I0/18)
B17	MEM_A14 (I0/20)
B18	MEM_A12 (I0/23)
B19	MEM_A10 (I0/39)
B20	MEM_A8 (I0/42)
B21	GND
B22	MEM_A6 (I0/44)
B23	MEM_A4 (I0/46)
B24	MEM_A2 (I0/48)
B25	MEM_A0 (I0/50)
B26	MEM_D6 (I0/54)
B27	MEM_D4 (I0/56)
B28	MEM_D2 (I0/58)
B29	MEM_D0 (I0/60)
B30	GND

注) ()内表記は FPGA デバイスの接続先を示す

3.4.6) CN_RIGHT 親基板接続用コネクタ

形状：MIL 規格、ピッチ 2.54mm、ピン数 60(30x2)

表 3.4.6-1、CN_RIGHT 接続信号

ピン名	接続信号名
A1	GND
A2	RIGHT_VCCIO (VCCIO:3.3v)
A3	RIGHT_VCCINT (VCCINT:1.5v)
A4	RIGHT_CLKP (CLK2/153)
A5	NC
A6	MISC_GPI03 (I0/121)
A7	MISC_GPI01 (I0/123)
A8	UART_TXD (I0/125)
A9	UART_RTS_N (I0/127)
A10	UART_DTR_N (I0/131)
A11	UART_DCD_N (I0/133)
A12	GND
A13	VGA_CLKP (I0/135)
A14	NC
A15	VGA_VSYNC (I0/137)
A16	NC
A17	VGA_D23 / DA1_CLK (I0/140)
A18	VGA_D21 / DA1_LD (I0/143)
A19	VGA_D19 / DA0_DAT (I0/156)
A20	VGA_D17 / AD1_CLK (I0/159)
A21	GND
A22	VGA_D15 / AD1_CONV (I0/161)
A23	VGA_D13 / AD0_DAT (I0/163)
A24	VGA_D11 (I0/165)
A25	VGA_D9 (I0/167)
A26	VGA_D7 (I0/169)
A27	VGA_D5 (I0/173)
A28	VGA_D3 (I0/175)
A29	VGA_D1 (I0/177)
A30	GND

ピン名	接続信号名
B1	GND
B2	RIGHT_VCCIO (VCCIO:3.3v)
B3	RIGHT_VCCINT (VCCINT:1.5v)
B4	RIGHT_CLKN (CLK2/152)
B5	NC
B6	MISC_GPI02 (I0/122)
B7	MISC_GPI00 (I0/124)
B8	UART_RXD (I0/126)
B9	UART_CTS_N (I0/128)
B10	UART_DSR_N (I0/132)
B11	UART_RI_N (I0/134)
B12	GND
B13	VGA_CLKN (I0/136)
B14	NC
B15	VGA_HSYNC (I0/138)
B16	VGA_BLANK (I0/139)
B17	VGA_D22 / DA1_DAT (I0/141)
B18	VGA_D20 / DA0_CLK (I0/144)
B19	VGA_D18 / DA0_LD (I0/158)
B20	VGA_D16 / AD1_DAT (I0/160)
B21	GND
B22	VGA_D14 / AD0_CLK (I0/162)
B23	VGA_D12 / AD0_CONV (I0/164)
B24	VGA_D10 (I0/166)
B25	VGA_D8 (I0/168)
B26	VGA_D6 (I0/170)
B27	VGA_D4 (I0/174)
B28	VGA_D2 (I0/176)
B29	VGA_D0 (I0/178)
B30	GND

注) ()内表記は FPGA デバイスの接続先を示す

4) 付録資料

4.1) TSR1000M ボード 回路図(総ページ数:4)

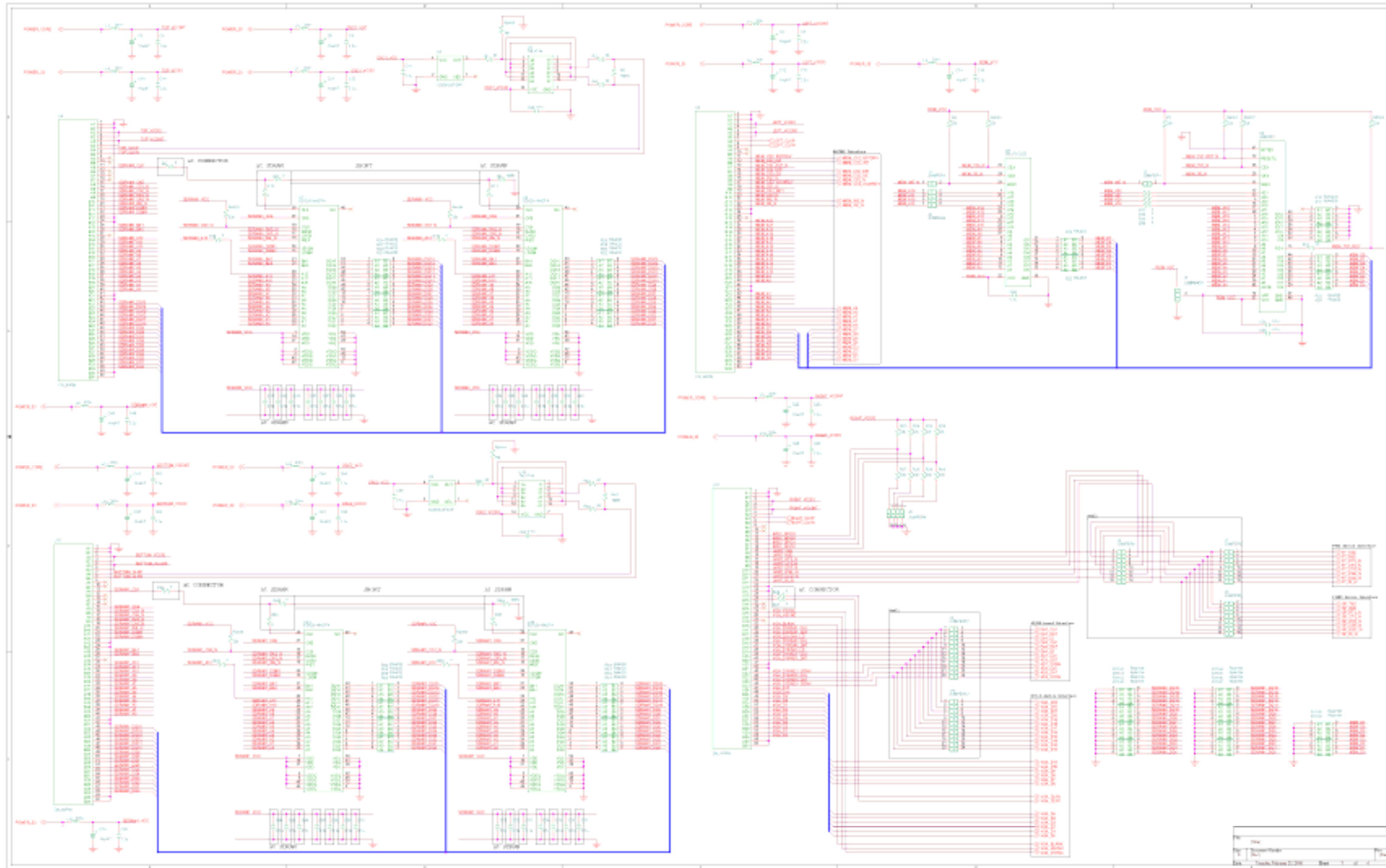


図 3.4.6-1、TSR1000M ボード 回路図 (1/4)

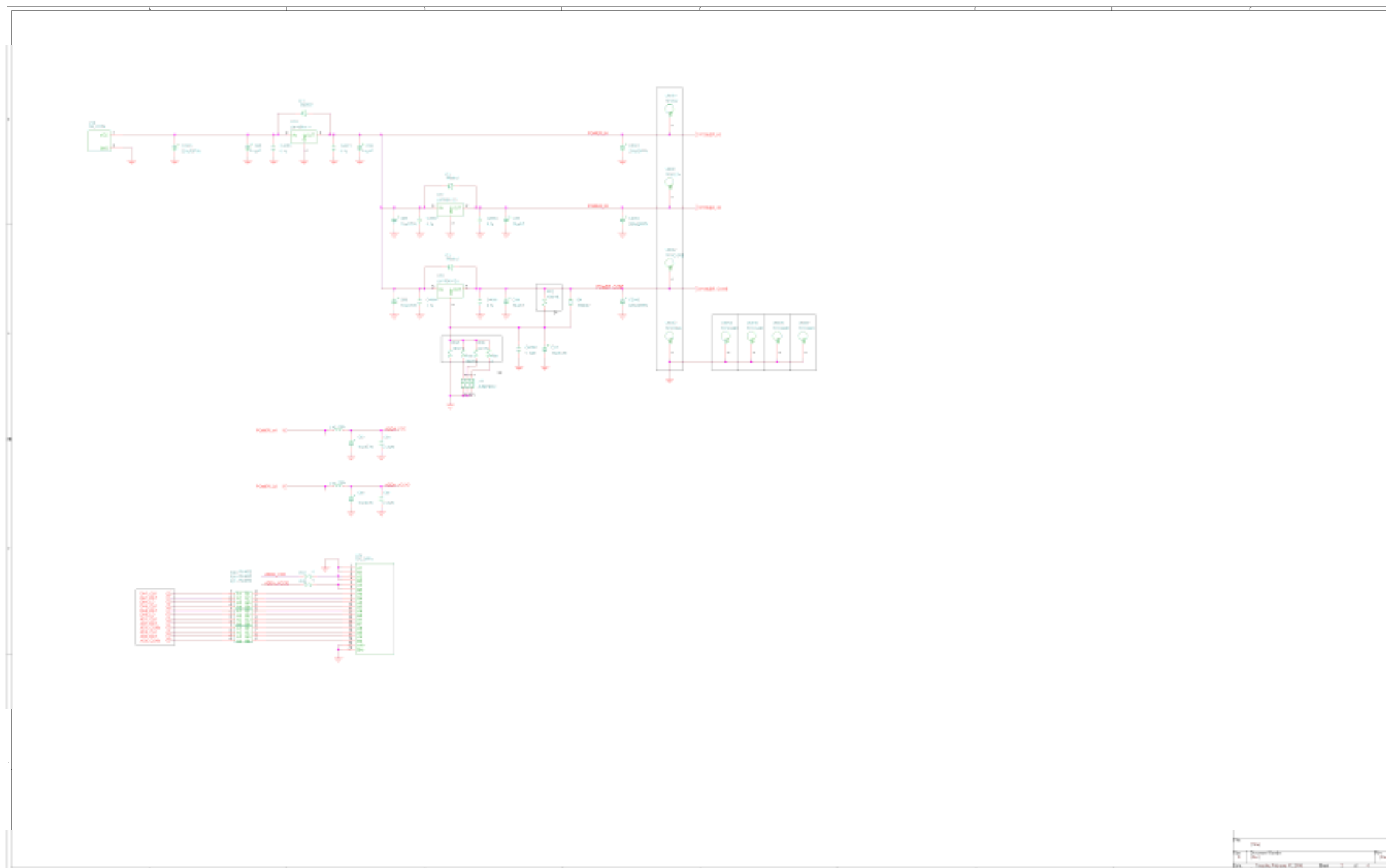


図 3.4.6-2、TSR1000M ボード 回路図 (2/4)

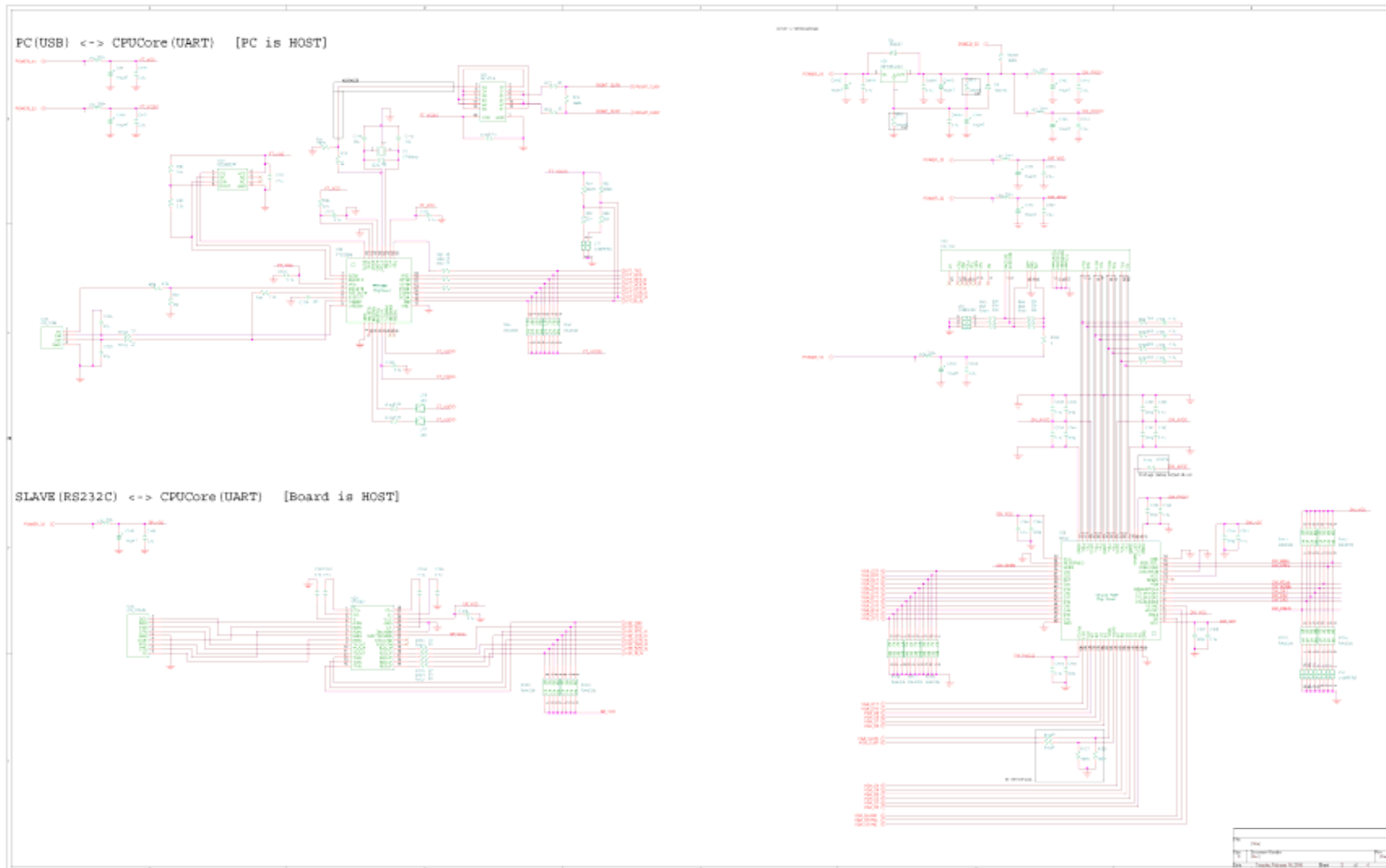


図 3.4.6-3、TSR1000M ボード 回路図 (3/4)

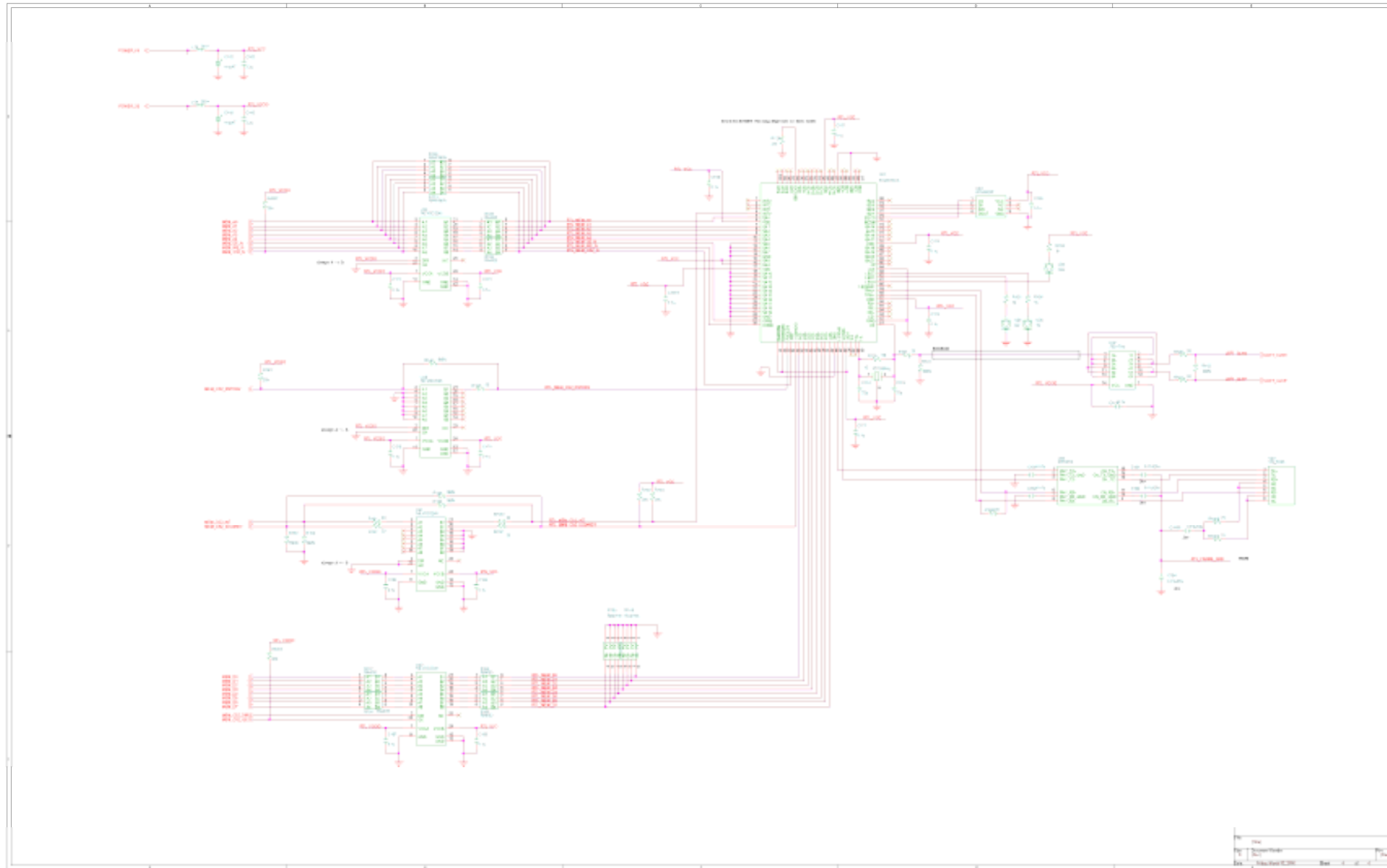


図 3.4.6-4、TSR1000M ボード 回路図 (4/4)

4.3) TSR1000A ボード 回路図(総ページ数:1)

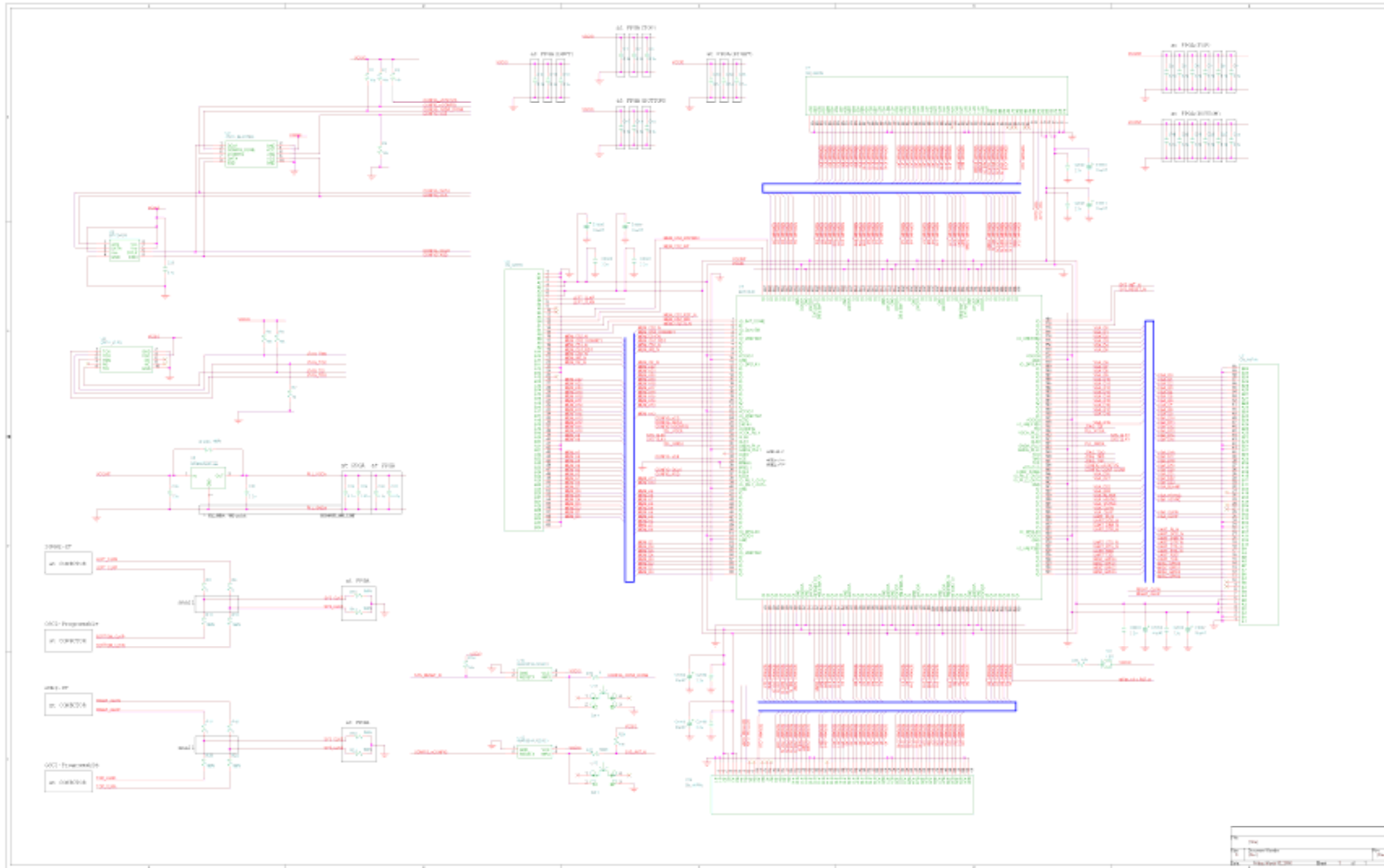
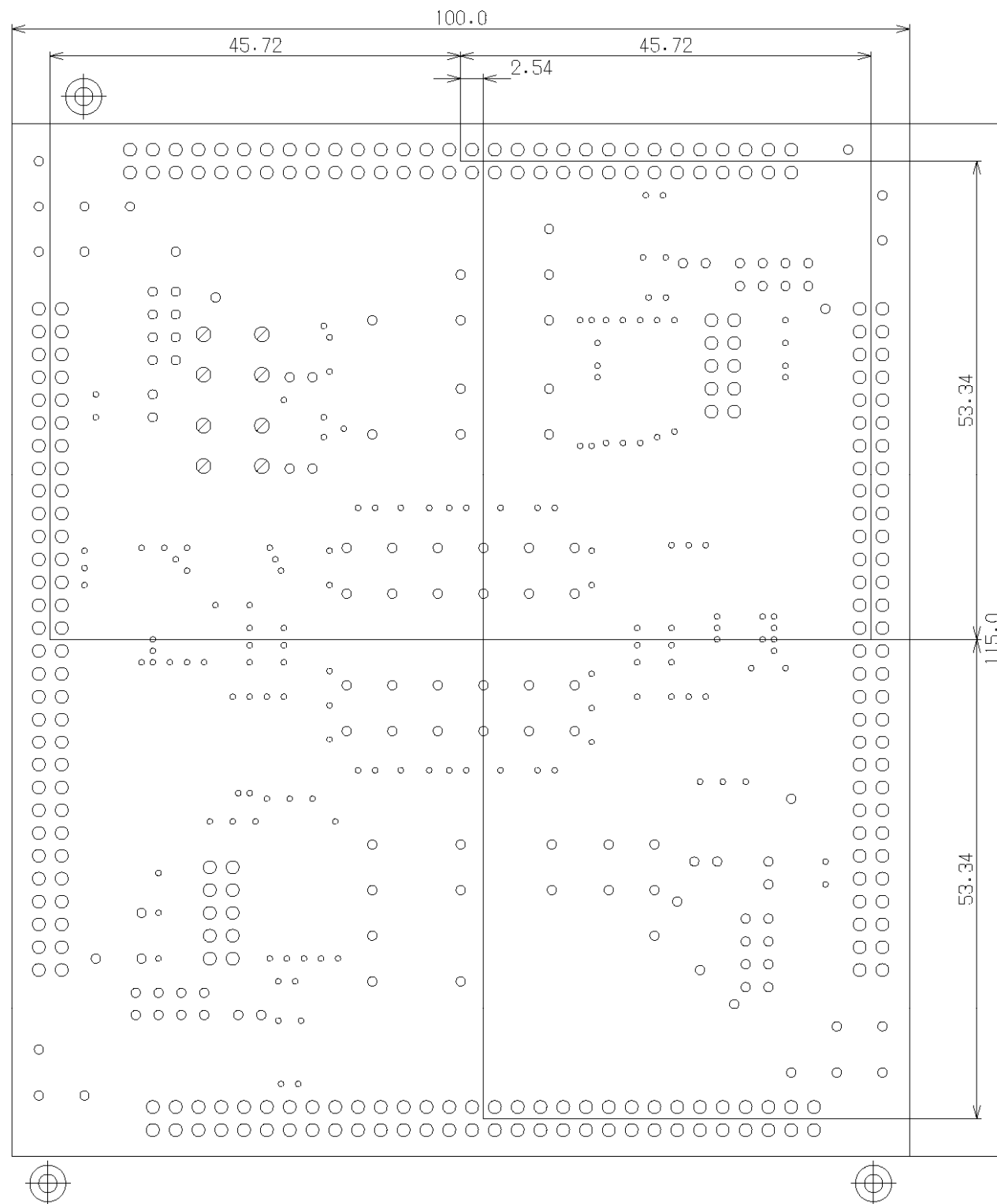


図 3.4.6-1、TSR1000A ボード 回路図 (1/1)

4.4) TSR1000A ボード 寸法図



LAND	X	Y	HOLE	COUNT
○	1.4	0.0	0.8	260
∅	1.6	0.0	1.0	8
◦	0.6	0.0	0.3	146
○	1.0	0.0	0.6	122
⊕	0.1	0.0	0.1	3
LINE	X	Y		
—	0.1	0.0		
—	0.5	0.0		
PEN	LAYER			
—	0, 81			
—	9			
—	10			

図 3.4.6-1、TSR1000A ボード 寸法図 (TOP VIEW)